



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 44 29 284 A 1**

⑤ Int. Cl.⁶:
H 01 L 29/73
H 01 L 29/772
H 01 L 29/78
H 03 K 17/06

⑳ Aktenzeichen: P 44 29 284.8
㉑ Anmeldetag: 18. 8. 94
㉒ Offenlegungstag: 22. 2. 96

DE 44 29 284 A 1

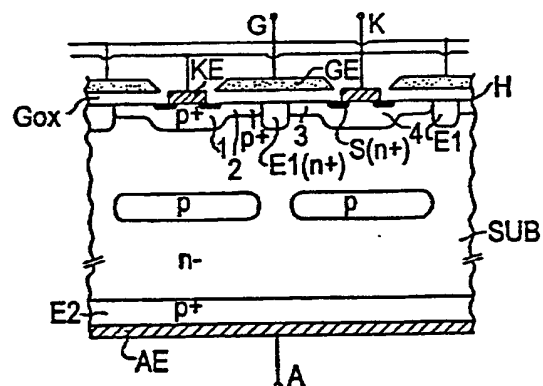
㉑ Anmelder:
Siemens AG, 80333 München, DE

㉒ Erfinder:
Sack, Jochen, Dr.-Ing., 81241 München, DE; Stengl,
Reinhard, Dipl.-Phys., 86391 Stadtbergen, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement mit zwei monolithisch integrierten Schaltelementen und einem vergrabenen strukturierten Steuergebiet

⑤⑦ Der Anmeldungsgegenstand betrifft ein Halbleiterbauelement mit einer monolithisch integrierten Reihenschaltung aus einem Halbleiterschaltelement für niedrige Sperrspannungen und einem für hohe Sperrspannungen, bei dem ein Anschluß des ersten Halbleiterschaltelements einen ersten Anschluß (K) des Halbleiterbauelements, ein Anschluß des zweiten Halbleiterschaltelements einen weiteren Anschluß (A) des Halbleiterbauelements und ein Steueranschluß des ersten Halbleiterschaltelements einen Steueranschluß (G) des Halbleiterbauelements darstellt, bei dem das zweite Halbleiterschaltelement ein erstes hoch dotiertes Emittergebiet (E1), ein zweites hoch dotiertes Emittergebiet (E2) und ein dazwischen liegendes Substrat (SUB) aufweist, in das, vom Substrat vollständig umschlossen, ein gitterförmiges Steuergebiet (SG) eingebracht ist, das Aussparungen (AS) im lateralen Bereich des ersten Emittergebietes (E1) aufweist. Der Anmeldungsgegenstand stellt ein einfach herstellbares Bauelement mit hoher Sperrfähigkeit und hoher Stromleitfähigkeit bei geringer Durchlaßspannung dar.



DE 44 29 284 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 12. 95 508 068/239

8/30

In der Leistungselektronik besteht das grundsätzliche Problem, daß schaltbare Halbleiterbauelemente benötigt werden, die hohe Sperrspannungen aufnehmen und hohe Ströme bei niedrigen Durchlaßspannungen leiten können. Solche Bauelemente sind beispielsweise Gate-Turn-off-Thyristoren (GTO's) Statische Induktionsthyristoren und für Sperrspannungen bis etwa 2 kV auch Isolated-Gate-Bipolartransistoren (IGBT's).

Ein Halbleiterbauelement mit einem im Halbleiterkörper befindlichen Steuergebiet, das ein gitterförmiges bzw. lineares Strukturierungsmuster aufweist, ist aus der deutschen Patentschrift DE 35 28 562, insbesondere aus Fig. 1, bekannt, dabei handelt es sich um einen statischen Induktionstransistor vom Tunnelinjektionstyp, der als GaAs-Halbleiter ausgeführt ist und dessen Steuergebiet extern kontaktiert ist und aus eigenleitendem GaAs besteht. Dieses aus dem oben genannten Stand der Technik bekannte Bauelement besteht nur in einem einzigen Halbleiterschaltetelement mit niedriger Sperrspannung und ist praktisch nur zur Verwendung in integrierten Schaltkreisen, nicht jedoch als Hochspannungsbauelement geeignet.

Die der Erfindung zugrunde liegende Aufgabe besteht nun darin, ein einfach herstellbares Halbleiterbauelement anzugeben, das sowohl gute Sperreigenschaften als auch Durchlaßeigenschaften aufweist und das eine möglichst geringe Ansteuerleistung benötigt.

Diese Aufgabe wird erfindungsgemäß durch die Merkmale des Patentanspruchs 1 gelöst.

Die Patentansprüche 2 bis 9 sind auf bevorzugte Ausgestaltungen des erfindungsgemäßen Halbleiterbauelements gerichtet, wobei sich insbesondere die Gegenstände der Patentansprüche 2 bis 4 durch eine besonders geringe Ansteuerleistung auszeichnen.

Die vorliegende Erfindung wird im folgenden anhand der Zeichnung näher erläutert. Dabei zeigt

Fig. 1 eine prinzipiellen Aufbau eines erfindungsgemäßen Halbleiterbauelements,

Fig. 2 ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines planaren MOS-Feldeffekttransistors,

Fig. 3 ein zum Halbleiterbauelement von Fig. 2 gehöriges Ersatzschaltbild,

Fig. 4 ein Halbleiterbauelement nach Fig. 2 mit Angaben zur Erläuterung des Durchlaßverhaltens,

Fig. 5 ein Halbleiterbauelement nach Fig. 2 mit Angaben zur Erläuterung des Sperrverhaltens,

Fig. 6 ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines vertikalen MOS-Feldeffekttransistors,

Fig. 7 ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines planaren Bipolartransistors und

Fig. 8 ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines vertikalen Bipolartransistors.

In Fig. 1 ist ein prinzipieller Aufbau eines erfindungsgemäßen Bauelements, bestehend aus einem Schaltelement S1 mit niedriger Sperrspannung und einem dazu in Reihe geschalteten Halbleiterschaltetelement S2 mit hoher Sperrspannung dargestellt, wobei das Halbleiterschaltetelement S1 nur als Schaltersymbol dargestellt ist und das Halbleiterschaltetelement S2 zwischen einem ersten n^+ -leitenden Emitter E1 und einem zweiten p^+ -leitenden Emitter E2 ein n^- -leitendes Substrat SUB aufweist, in das ein p -dotiertes Steuergebiet SG einge-

bracht ist, das Aussparungen A aufweist. Ein Kathodenanschluß K ist über den Halbleiterschaltetelement S1 mit dem Emittergebiet E1 und ein Anodenanschluß A direkt mit dem Emittergebiet E2 verbunden. Ferner ist das Steuergebiet SG über einen ohmschen Widerstand R mit dem Kathodenanschluß K verbunden.

Das zweite Halbleiterschaltetelement S2 entspricht in seiner Struktur einem statischen Induktionsthyristor oder kann, sofern für das Halbleiterschaltetelement S1 ein MOSFET verwendet wird, als IGBT mit zusätzlichem Emitter am Kanalende und zusätzlich vergrabenen Steuergitter angesehen werden.

Wesentlich für die Erfindung ist die Tatsache, daß beide Halbleiterschaltetelemente S1 und S2 in einem gemeinsamen Halbleiterkörper monolithisch integriert sind und das Steuergebiet SG vom Substrat SUB vollständig umschlossen ist und somit keine zusätzlichen Prozeßschritte für eine externe Kontaktierung des Steuergebietes SG erforderlich sind. Vielmehr wird das Steuergebiet SG im Sperrzustand durch eine von der Oberfläche her sich ausdehnende Raumladungszone kontaktiert und im Durchlaßzustand kein definiertes Potential (floating gate) aufweist. Das Steuergebiet ist dabei mit einem gitterförmigen oder linearem Muster strukturiert, wobei das Steuergebiet Aussparungen AS aufweist, die aus Stegen des Substratmaterials bestehen. Das Steuergebiet SG wird beispielsweise durch Epitaxie oder Waferbonding im Substrat SUB vergraben (buried layer).

Ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement S1 in Form eines planaren MOS-Feldeffekttransistors ist in Fig. 2 dargestellt, wobei im Bereich einer Hauptfläche H bereichsweise Gebiete für den ersten Emitter E1 eingebracht sind, die gleichzeitig Draingebiete eines MOS-Feldeffekttransistors für das Halbleiterschaltetelement S1 darstellen, und diese n^+ -dotierten Emittergebiete E1 an p^- -dotierte Kanalgebiete 2, 3 angrenzen, wobei die Kanalgebiete in p^+ -dotierte Wannen 1, 4 übergehen, in die wiederum n^+ -dotierte Sourcegebiete S eingebracht sind. Der Kathodenanschluß K ist dabei über eine metallische Kathodenelektrode KE mit dem n^+ -dotierten Sourcegebiet S und den p^+ -dotierten Wannengebieten 1 bzw. 4 verbunden. Die Aussparungen AS des weitgehend zur Hauptfläche H parallel verlaufenden Steuergebietes SG liegen dabei lateral im Bereich der Emittergebiete E1. Das Substrat SUB umschließt das Steuergebiet SG vollständig und grenzt dabei zum einen an die Gebiete 1 ... 4 und die Emittergebiete E1 sowie an das Gebiet für den Emitter E2, der über eine Anodenelektrode mit einem Anodenanschluß A verbunden ist. Die Hauptfläche H ist bis auf die Kontaktstellen Kathodenelektrode KE von einer Gateoxidschicht GOX bedeckt, die die im lateralen Bereich der Gebiete 2, 3 und E1 befindliche Gatelektrode GE, die ihrerseits mit einem Gateanschluß G verbunden ist, von der Hauptfläche H isoliert.

In Fig. 3 ist ein zum Halbleiterbauelement von Fig. 2 zugehöriges elektrisches Ersatzschaltbild mit einem MOS-Feldeffekttransistor MOS, einem parasitären Bipolartransistor PT und einer Dreischichtdiode D dargestellt. Der parasitäre Transistor PT stellt hier einen pnp-Transistor dar, dessen Kollektor aus den Gebieten 1 ... 4, dessen Basis aus den Emittergebieten E1 und dem Substrat SUB und dessen Emitter aus dem Emittergebiet E2 besteht. Der MOS-Feldeffekttransistor MOS wird aus den Sourcegebieten S den Kanalgebieten 1 ... 4 und dem Draingebiet E1 gebildet, wobei die Kanalgebiete und die Sourcegebiete über die Kathodenelektro-

de KE kurzgeschlossen sind und das Draingebiet des Transistors MOS gleichzeitig die Emittergebiete E1 des zweiten Halbleiterschaltbauelementes S2 darstellen. Der Gateanschluß G des MOS-Transistors MOS entspricht dem Gateanschluß G in Fig. 2. Der MOS-Transistor ist also sourceseitig mit der Kathode und drainseitig mit der Basis des parasitären Bipolartransistors PT verbunden. Die Dreischichtdiode D wird aus dem Emittergebiet E2, dem Substrat SUB und den Emittergebieten E1 gebildet und ist kathodenseitig mit der Basis des parasitären Bipolartransistors P und anodenseitig mit dem Anodenanschluß A des erfindungsgemäßen Halbleiterbauelementes verbunden.

Fig. 4 zeigt ein erfindungsgemäßes Halbleiterbauelement nach Fig. 2 mit Angaben bezüglich der lateralen Dimensionierung L1 der Emittergebiete E1 und deren laterale Abstände L2 sowie Dimensionsangaben hinsichtlich der vertikalen Ausdehnung X1 der Emittergebiete E1 und eine vertikale Ausdehnung X2 der p-dotierten Gebiete 2 und 3. Das in Fig. 4 dargestellte erfindungsgemäße Halbleiterbauelement ist in Durchlaßrichtung gepolt, wobei dies durch die Spannungsangaben Kathodenspannung $U_K = 0$, Gatespannung $U_G > 0$ und Anodenspannung $U > 0$ zum Ausdruck gebracht ist. Es sind ferner vom Emittergebiet E2 emittierte Löcher eingezeichnet, die einerseits die p⁺-dotierten Gebiete 1 und 4 sowie andererseits den übrigen Teil der Emittergebiete E1 erreichen. Weiterhin sind beispielhaft von einem Emittergebiet E1 ausgehende Elektronen eingezeichnet, die sich in Richtung des Emittergebietes E2 bewegen.

Im Durchlaßzustand ist der Schalter S1 geschlossen, das heißt in diesem Fall der MOS-Kanal befindet sich durch Anlegen einer positiven Spannung U_G am Gate G im leitenden Zustand. Hierdurch werden die Emittergebiete E1 an das Potential des Kathodenanschlusses K gelegt. Es ergibt sich ein durch die in Fig. 4 eingezeichneten Löcher und Elektronen schematisch angedeuteter Stromfluß. Das p-dotierte Steuergebiet SG ist dabei im Durchlaßzustand von freien Ladungsträgern überschwemmt.

Wird eine möglichst niedrige Durchlaßspannung angestrebt, so muß ein möglichst großer Anteil des Stromes über die Emittergebiete E1 fließen, das heißt durch die Dreischichtdiode D in der Ersatzschaltung gemäß Fig. 3. Entsprechend muß der Stromanteil, der direkt in den Kollektor des parasitären Transistors PT fließt zur Erzielung einer niedrigen Durchlaßspannung möglichst klein sein. Eine niedrige Durchlaßspannung wird also dadurch erreicht, daß das Verhältnis der lateralen Abmessungen L1/L2 möglichst groß ist.

Sofern jedoch in erster Linie ein schnelles Abschalten des erfindungsgemäßen Halbleiterbauelementes erwünscht ist, ist ein möglichst kleines Verhältnis der lateralen Abmessungen L1 zu L2 anzustreben, da der Stromanteil über die Dreischichtdiode D dadurch klein und der Stromanteil über den Kollektor des parasitären Transistors PT entsprechend groß ist.

Die Eindringtiefe X1 der Emittergebiete E1 ist größer zu wählen, als diejenige der benachbarten p-dotierten Gebiete 2 bzw. 3. Typischerweise wird die Eindringtiefe X1 der Emittergebiete E1 ungefähr zweimal so groß als die Eindringtiefe X2 der Gebiete 2 bzw. 3 gewählt.

Zur Erläuterung des Sperrverhaltens ist in Fig. 5 ausgehend von Fig. 2 zusätzlich der Abstand W1 des Steuergebietes SG von der Hauptfläche H, die Abmessung L der Aussparungen AS im Steuergebiet SG und die Spannungsangaben, daß die Kathodenspannung $U_K =$

0 ist, die Anodenspannung $U_A > 0$ und die Gatespannung $U_G \leq 0$ ist angegeben. Ferner sind in Fig. 5 durch gestrichelte Linien die Äquipotentiallinien im Sperrfall dargestellt, wobei die Dichte der Äquipotentiallinien im lateralen Bereich der Emittergebiete E1 bzw. im lateralen Bereich der Aussparungen AS und in einem Substratgebiet n_1^- zwischen dem Steuergebiet SG und den Gebieten E1, 1...4 eine Abschnürung dieses Bereiches andeutet.

Beim Anlegen der Sperrspannung zwischen Anode und Kathode und abgeschaltetem MOS-Kanal breitet sich die Raumladungszone von den p-Gebieten 1...4 ins Volumen des Halbleiterkörpers aus. Im Bereich der Hauptfläche H ist die Sperrspannung durch die niedrige Durchbruchsspannung des n⁺p⁻-Übergangs AB begrenzt. Bei üblicher Dimensionierung der pn-Konzentration von ca. 10^{16} bis 10^{17} cm^{-3} und einer n⁺-Konzentration der Emittergebiete E1 von $> 10^{20} \text{ cm}^{-3}$ liegt die Durchbruchsspannung U_{AB} zwischen 10 Volt und 100 Volt.

Wesentlich ist dabei, daß der Abstand P1 so gewählt ist, daß die Raumladungszone das vergrabene Steuergebiet SG im Volumen erreicht hat, bevor die niedrigere Sperrspannung U_{AB} erreicht ist. Es muß dabei gelten:

$$W1 \leq 100 \mu\text{m} \cdot \sqrt{\frac{10^{14} / \text{cm}^3}{n_1^-} \cdot \frac{U_{AB}}{1000 \text{ V}}}$$

Durch diese Dimensionierung wird erreicht, daß das unterbrochene Steuergebiet SG mit den Aussparungen AS der lateralen Abmessung L im Bereich der lateralen Aussparungen AS durch die Raumladungszone abgeschnürt wird, wenn die kleinere Sperrspannung U_{AB} des Schaltelementes S1 erreicht ist.

Die Länge L ist dabei in der Größenordnung des Abstandes W1 des Steuergebietes von der Hauptfläche H zu wählen. Steigt die Spannung über den Wert U_{AB} an, so wirkt bei obiger Dimensionierung ein Gebiet n_2^- zwischen dem Steuergebiet SG und dem Emittergebiet E2 als sperrender pn-Übergang, welcher je nach vertikaler Dimensionierung beliebige Sperrspannungen aufnehmen kann.

In Fig. 6 ist ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines vertikalen MOS-Transistors dargestellt, wobei der Unterschied zur Fig. 2 darin besteht, daß anstelle der Gebiete 1...4 von der Hauptfläche H aus ganzflächig eine p-dotierte Schicht 5 eingebracht ist, die vertikale Gräben aufweist. Am Boden dieser Gräben sind n⁺-dotierte Emittergebiete E1' und am Rand des jeweiligen Grabens n⁺-dotierte Sourcegebiete vorgesehen, die, wie in Fig. 2, zusammen mit der p-dotierten Schicht 5 mit dem Kathodenanschluß K verbunden sind. Die Gräben in der p-dotierten Schicht sind mit einem Gateoxid GOX' ausgekleidet und mit einer metallischen Gateelektrode GE' ausgefüllt und mit einem Gateanschluß G verbunden. Der Vorteil gegenüber dem Halbleiterbauelement von Fig. 2 besteht unter anderem darin, daß die Hauptfläche H besser genutzt werden kann.

Fig. 7 zeigt ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines planaren Bipolartransistors, wobei der Unterschied gegenüber Fig. 2 darin besteht, daß anstelle einer von den Kanalgebieten 2 und 3 durch ein Gateoxid GOX isolierten Gateelektrode GE Basiselektroden BE vorgesehen

sind, die jeweils mit den Gebieten 2 und 3 zum einen und zum anderen mit einem Basisanschluß B verbunden sind.

Neben einem erfindungsgemäßen Halbleiterbauelement mit einem ersten Schaltelement in Form eines planaren Bipolartransistors ist auch ein erfindungsgemäßes Halbleiterbauelement mit einem ersten Schaltelement in Form eines vertikalen Bipolartransistors denkbar. Letzteres Halbleiterbauelement ist in Fig. 8 dargestellt, wobei ähnlich wie in Fig. 6 eine p-dotierte Schicht 6 mit grabenförmigen Vertiefungen vorgesehen ist, die mit dem Kathodenanschluß K über Kathodenelektroden KE' verbunden ist. Darüber hinaus ist am Boden eines durch die grabenförmigen Vertiefungen begrenzten Bereiches der Schicht 6 ein n⁺-dotiertes Emittorgebiet E1'' angebracht und in einem von den grabenförmigen Vertiefungen begrenzten Restbereich 61 der p-dotierten Schicht 6 sind n⁺-dotierte Emittorgebiete ET' des Bipolartransistors eingebracht, die ebenfalls mit dem Kathodenanschluß K über Kathodenelektroden KE' verbunden sind. Der Basisanschluß B ist hierbei über eine Basiselektrode BE' von der Hauptfläche H her mit dem p-dotierten Restbereich 61 verbunden.

Neben den in Fig. 2, 6, 7 und 8 dargestellten Ausführungsformen des erfindungsgemäßen Halbleiterbauelements mit n⁻-dotierten Substrat sind auch entsprechende duale Bauelemente mit einem p⁻-dotierten Substrat und entsprechend vertauschten Leitungstypen der weiteren Gebiete vorstellbar.

Patentansprüche

1. Halbleiterbauelement mit einem ersten Halbleiterschaltelement (S1) für niedrige Sperrspannungen und einem dazu in Reihe geschalteten zweiten Halbleiterschaltelement (S2) für hohe Sperrspannungen,

— bei dem mindestens Teile des ersten Halbleiterschaltelements (S1) von einer Hauptfläche (H) aus in einen für beide Halbleiterschalt-elemente gemeinsamen Halbleiterkörper eingebracht sind,

— bei dem ein Anschluß des ersten Halbleiterschaltelements einen ersten Anschluß (K, A) des Halbleiterbauelements, ein Anschluß des zweiten Halbleiterschaltelements einen weiteren Anschluß (A, K) des Halbleiterbauelements und ein Steueranschluß des ersten Halbleiterschaltelements (S1) einen Steueranschluß (G, B) des Halbleiterbauelements darstellt,

— bei dem das zweite Halbleiterschaltelement (S2) ein erstes hoch dotiertes Emittorgebiet (E1, E1' bzw. E1'') eines ersten Leitungstyps, ein zweites hoch dotiertes Emittorgebiet (E2) eines zweiten Leitungstyps und ein zwischen beiden Emittorgebieten (E1, E2) liegendes niedrig dotiertes Substrat (SUB) eines ersten Leitungstyps aufweist, in das, vom Substrat vollständig umschlossen, ein mittel stark dotiertes gitterförmiges Steuergebiet (SG) eines zweiten Leitungstyps eingebracht ist, das Aussparungen (AS) im lateralen Bereich des ersten Emittorgebietes (E1, E1' bzw. E1'') aufweist und

— bei dem ein Abstand (w1) des Steuergebietes zur Hauptfläche (H) des Halbleiterkörpers und eine Länge (L) der Aussparungen (AS) so

bemessen sind, daß die Raumladungszone bis zum Steuergebiet reicht und Aussparungen (AS) durch die Raumladungszone abgeschnürt sind, wenn die Sperrspannung des ersten Halbleiterschaltelements (S1) überschritten ist.

2. Halbleiterbauelement nach Anspruch 1, bei dem das erste Halbleiterschaltelement (S1) in einem MOS-Feldeffekttransistor (S, GE, D bzw. S', GE' und D') besteht.

3. Halbleiterbauelement nach Anspruch 2, bei dem der MOS-Feldeffekttransistor (S, GE, D) im Bereich der Hauptfläche (H) planar angeordnet ist.

4. Halbleiterbauelement nach Anspruch 2, bei dem sich der MOS-Feldeffekttransistor (S', GE', D') ausgehend von der Hauptfläche (H) vertikal in den Halbleiterkörper hinein erstreckt.

5. Halbleiterbauelement nach Anspruch 1, bei dem das erste Halbleiterschaltelement (S1) in einem Bipolartransistor (ET, BE, KT bzw. ET', BE' und KT') besteht.

6. Halbleiterbauelement nach Anspruch 5, bei dem der Bipolartransistor (ET, BE und KT) im Bereich der Hauptfläche (H) planar angeordnet ist.

7. Halbleiterbauelement nach Anspruch 5, bei dem sich der Bipolartransistor (ET, BE und KT) ausgehend von der Hauptfläche (H) vertikal in den Halbleiterkörper hinein erstreckt.

8. Halbleiterbauelement nach Anspruch 1 bis 7, bei dem ein Halbleitermaterial des ersten Leitungstyps einem n-dotierten Silizium und das Halbleitermaterial des zweiten Leitungstyps einem p-dotierten Silizium entspricht.

9. Halbleiterbauelement nach Anspruch 1 bis 7, bei dem ein Halbleitermaterial des ersten Leitungstyps einem p-dotierten Silizium und das Halbleitermaterial des zweiten Leitungstyps einem n-dotierten Silizium entspricht.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

FIG 1

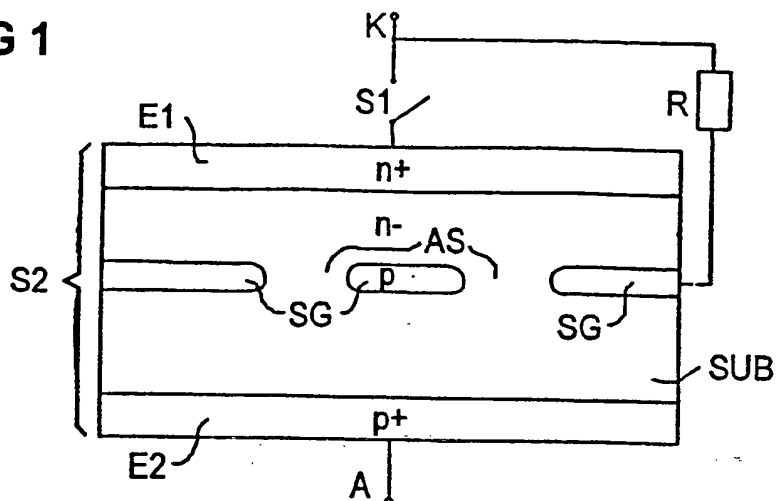


FIG 2

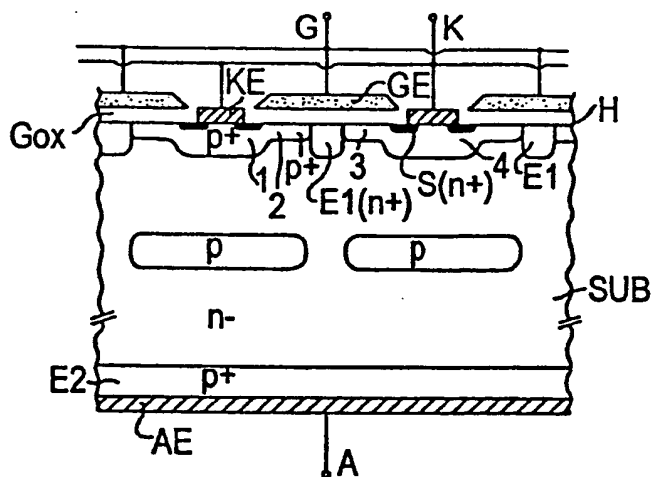


FIG 3

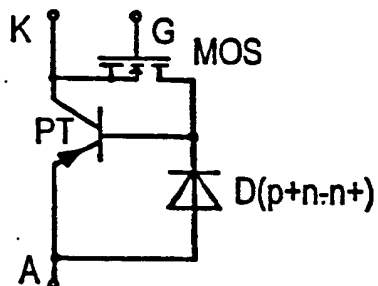


FIG 6

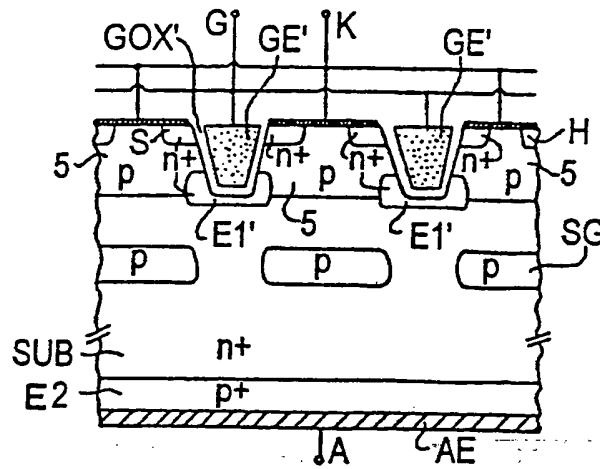


FIG 7

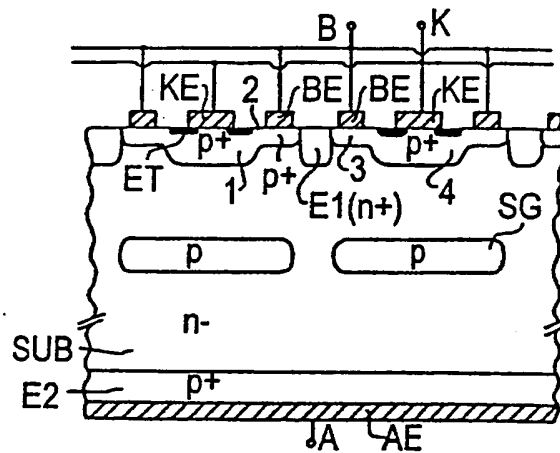
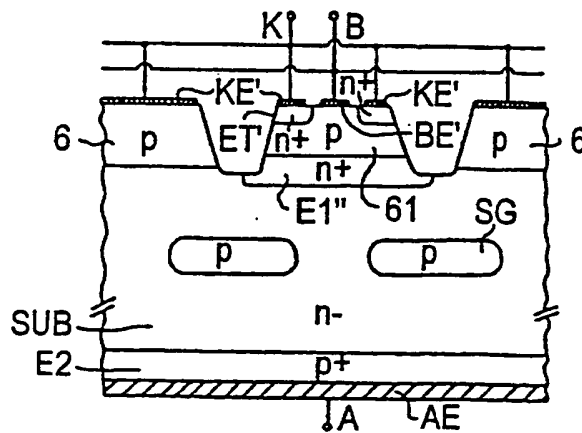


FIG 8



Docket # GR9971679

Applic. # 10/033227

Applicant: Deboy et al.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101